



D3

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Übersetzung der
europäischen Patentschrift

87 EP 0 407 591 B1

10 DE 689 27 005 T 2

51 Int. Cl.⁶:
H 03 K 5/02
H 03 K 3/356
G 11 C 7/06

DE 689 27 005 T 2

21 Deutsches Aktenzeichen:	689 27 005.4
86 PCT-Aktenzeichen:	PCT/JP89/01029
86 Europäisches Aktenzeichen:	89 911 109.0
87 PCT-Veröffentlichungs-Nr.:	WO 90/04286
86 PCT-Anmeldetag:	6. 10. 89
87 Veröffentlichungstag der PCT-Anmeldung:	19. 4. 90
87 Erstveröffentlichung durch das EPA:	16. 1. 91
87 Veröffentlichungstag der Patenterteilung beim EPA:	21. 8. 96
47 Veröffentlichungstag im Patentblatt:	20. 2. 97

30 Unionspriorität: 32 33 31
11.10.88 JP 255542/88

73 Patentinhaber:
Oki Electric Industry Co., Ltd., Tokio/Tokyo, JP

74 Vertreter:
Betten & Resch, 80469 München

84 Benannte Vertragsstaaten:
DE, FR, GB

72 Erfinder:
MIYAMOTO, Sanpei Oki Electric Industry Co., Ltd.,
Tokyo 105, JP; UEHARA, Hidenori Oki Electric
Industry Co., Ltd., Tokyo 105, JP

54 SCHALTUNG FÜR EINEN DIFFERENTIELLEN KREISVERSTÄRKER

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II 53 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 689 27 005 T 2

Beschreibung

Technisches Gebiet

Die vorliegende Erfindung bezieht sich auf einen dynamisch betriebsfähigen Differenzverstärker zur Differenzverstärkung zweier Eingangssignale in Reaktion auf ein Aktiv-Signal.

Stand der Technik

Der Differenzverstärker wird zu vielfältigen Zwecken verwendet, wie z.B. zum Teilen eines Logikpegels "H" oder "L". Ein Beispiel, einen Logikpegel zu teilen, ist ① ein Adreßpuffer eines Halbleiterspeichers, um einen Eingabe-"H"-Pegel von 2,4 V und einen Eingabe-"L"-Pegel von 0,8 V einer Transistor-Transistor-Logik (TTL) in einen "H"-Pegel von 5 V und einen "L"-Pegel von 0 V eines MOS-Logikpegels zu konvertieren, oder ② ein Meßverstärker, um festzustellen, ob ein im Halbleiterspeicher gespeichertes Signal ein "H"-Pegel oder "L"-Pegel ist.

Eine Anordnung eines herkömmlichen Differenzverstärkers im Fall ① ist in Fig. 2 beispielhaft dargestellt.

Der Differenzverstärker differenziert Potentiale zwischen einem ersten Eingangssignal A_{in} (z.B. 2,4 V oder 0,8 V) und einem zweiten Eingangssignal V_i (z.B. 1,5 V) in Reaktion auf einen "H"-Pegel eines Aktiv-Signals Ø 1 und hält einen differentiell ermittelten Wert in Reaktion auf einen "H"-Pegel eines Latch-Signals Ø 2 und gibt komplementäre Ausgangssignale A , \bar{A} (z.B. 5 V oder 0 V) aus. Er umfaßt P-Kanal-Feldeffekttransistoren (im nachfolgenden FET genannt) 1 bis 4 und N-Kanal-FETs 5 bis 13. Als V_{CC} in Fig. 2 wird ein Stromversorgungspotential (erstes Potential) bezeichnet und V_{SS} ist ein Erdpotential (zweites Potential).

Fig. 3 ist eine Signalform, die einen Betrieb des Differenzverstärkers von Fig. 2 zeigt. Der Betrieb des Differenzverstärkers von Fig. 2 wird unter Bezugnahme auf diese Figur beschrieben werden.

Das Aktiv-Signal $\emptyset 1$ und das Latch-Signal $\emptyset 2$ sind anfangs jeweils auf "L"-Pegel ($= V_{SS}$ -Pegel) und die Ausgangssignale A , \bar{A} werden jeweils mittels FETs 1 und 2 auf das Stromversorgungspotential V_{CC} geladen.

Wenn das Aktiv-Signal $\emptyset 1$ den "H"-Pegel annimmt, werden die FETs 7 und 8 durchgesteuert, so daß das Ausgangssignal \bar{A} mittels der FETs 5, 7 und 9 entladen wird und das Ausgangssignal A mittels der FETs 6, 8 und 10 entladen wird. Angenommen, daß das Eingangssignal A_{in} 0,8 V und das Eingangssignal V_i 1,5 V beträgt, ist ein Leitwert des FET 10, der ein Gate aufweist, an das das Eingangssignal V_i angelegt ist, größer als der des FET 9, der ein Gate aufweist, an das das Eingangssignal A_{in} angelegt ist. Daher wird das Ausgangssignal \bar{A} schneller als das Ausgangssignal A entladen, so daß das Potential des Ausgangssignals \bar{A} niedriger ist als das des Ausgangssignals A . Wenn zwischen den Ausgangssignalen A und \bar{A} eine Potentialdifferenz erzeugt wird, wird zwischen den FETs 5 und 6 eine Leitwertdifferenz erzeugt. Wenn das Potential des Ausgangssignals A niedriger ist als $V_{CC} - V_{tp}$, (wobei V_{tp} eine Schwellenspannung des P-Kanal FETs ist), wird der FET 3 durchgesteuert, wodurch sich das Ausgangssignal \bar{A} auf der Seite des Stromversorgungspotentials V_{CC} aufzuladen beginnt, so daß die Potentialdifferenz zwischen den Ausgangssignalen A und \bar{A} weiter vergrößert wird.

Wenn das Latch-Signal $\emptyset 2$ den "H"-Pegel annimmt ($= V_{CC}$ -Pegel), wird der FET 13 durchgesteuert und das Ausgangssignal A nimmt gleichzeitig den Erdpotential- V_{SS} -Pegel an und das Ausgangssignal \bar{A} nimmt den Stromversorgungspotential- V_{CC} -Pegel an, wobei das Ausgangssignal A durch die FETs 12 und 13 an das Erdpotential V_{SS} geklemmt wird und das Ausgangssignal \bar{A} durch FET 3 an das Stromversorgungspotential V_{CC} geklemmt wird. Nach der Beendigung des Klemmvorgangs werden die Ausgangssignale A und \bar{A} weiter auf dem Erdpotential V_{SS} und dem Stromversorgungspotential V_{CC} gehalten, unabhängig von der Änderung der Eingangssignal-Potentiale A_{in} und V_i .

Der herkömmliche Differenzverstärker benötigt zwei Steuersignale, nämlich das Aktiv-Signal $\emptyset 1$ und das Latch-Signal $\emptyset 2$ und benötigt weiterhin Zeitregler, um das Aktiv-Signal $\emptyset 1$ und das Latch-Signal $\emptyset 2$ zu verzögern. Der

herkömmliche Differenzverstärker war anfällig für die Verursachung eines fehlerhaften Betriebs, wenn die Verzögerungszeit der Signale $\emptyset 1$ und $\emptyset 2$ kurz ist, da das Latch-Signal $\emptyset 2$ in dem Zustand, wo die Potentialdifferenz zwischen den Ausgangssignalen A und \bar{A} nicht im wesentlichen gesichert ist, auf den "H"-Pegel ansteigt. Dagegen war der Differenzverstärker für die Verursachung einer Verzögerung der Geschwindigkeit des Betriebs verantwortlich, wenn die Verzögerungszeit der Signale $\emptyset 1$ und $\emptyset 2$ lang ist, da es lange braucht, bis die Ausgangssignale gelatched sind, so daß die Ausgangssignale lange auf den Pegeln der Eingangssignale A_{in} und V_r gehalten werden können.

Im U.S. Patent 4 910 713 wird ein CMOS Differenzverstärker beschrieben, der einen einzigen Strobe-Eingang aufweist und ein Flip-Flop umfaßt. Es fehlt jedoch eine Vorrichtung, um die Ausgangssignale an ihre jeweiligen Pegel zu klemmen, ungeachtet der Änderung der Potentiale der Eingangssignale.

Es ist Aufgabe der vorliegenden Erfindung, einen Differenzverstärker zu schaffen, der einen weniger fehlerhaften Betrieb verursacht, und eine Klemmvorrichtung für die Ausgangssignale wie oben beschrieben zu schaffen.

Offenbarung der Erfindung

Ein Differenzverstärker gemäß der vorliegenden Erfindung wird in Anspruch 1 offenbart. Weitere Ausführungsbeispiele der vorliegenden Erfindung werden in den Ansprüchen 2 bis 23 offenbart.

Kurze Beschreibung der Zeichnungen

Fig. 1 ist ein Schaltplan, der einen Differenzverstärker gemäß einem ersten Ausführungsbeispiel der vorliegenden Erfindung zeigt, Fig. 2 ist ein

Schaltplan, der einen herkömmlichen Differenzverstärker zeigt, Fig. 3 ist eine Signalform, die einen Betrieb von Fig. 2 zeigt, Fig. 4 ist eine Signalform, die einen Betrieb von Fig. 1 zeigt, Fig. 5 ist ein Schaltplan, der einen Differenzverstärker gemäß einem zweiten Ausführungsbeispiel der vorliegenden Erfindung zeigt, und Fig. 6 ist eine Signalform, die einen Betrieb von Fig. 5 zeigt.

Bestes Verfahren für die Ausführung der Erfindung

Die vorliegende Erfindung wird unter Bezugnahme auf Fig. 1 und Fig. 4 bis 6 genauer beschrieben werden.

Fig. 1 ist ein Schaltplan eines Differenzverstärkers eines dynamischen Typs gemäß dem ersten Ausführungsbeispiel der vorliegenden Erfindung. Der Differenzverstärker erkennt eine Potentialdifferenz zwischen einem ersten Eingangssignal A_{in} (z.B. 2,4 V oder 0,8 V) und einem zweiten Eingangssignal V_i (z.B. 1,5 V) in Reaktion auf einen "H"-Pegel eines Aktiv-Signals \emptyset und liefert komplementäre feste Ausgangssignale A , \bar{A} (z.B. 5 V und 0 V) auf der Basis der verschiedenen Größen oder Werte zwischen dem ersten Eingangssignal A_{in} und dem zweiten Eingangssignal V_i . Der Differenzverstärker umfaßt eine Flip-Flop-Schaltung 20 (im nachfolgenden FF-Schaltung genannt), N-Kanal Transistoren 27 bis 30, 33, 34 und Inverter 31, 32. Die FF-Schaltung 20 weist P-Kanal FETs 21 bis 24 und N-Kanal FETs 25, 26 auf, bei der die Source-Elektroden der parallel geschalteten P-Kanal FETs 21, 23 gemeinsam mit einem Stromversorgungspotential V_{CC} als einem ersten Potential verbunden werden und deren Drains gemeinsam mit einem ersten Ausgangsknotenpunkt N1 verbunden sind. Eine Drain des N-Kanal FET 25 ist mit dem ersten Ausgangsknotenpunkt N1 verbunden und eine Source-Elektrode des N-Kanal FET 25 ist mit einem ersten Knotenpunkt N3 verbunden. In ähnlicher Weise sind die P-Kanal FETs 22, 24 parallel zwischen dem Stromversorgungspotential V_{CC} und einem zweiten Ausgangsknotenpunkt N2 geschaltet und der N-Kanal FET 26 ist zwischen dem zweiten Ausgangsknotenpunkt N2 und einem zweiten Knotenpunkt N4 verbunden. Ein Gate des P-Kanal FET 23 und ein Gate des N-Kanal FET 25 sind gemeinsam

mit dem zweiten Ausgangsknotenpunkt N2 verbunden, und ein Gate des P-Kanal FET 24 und ein Gate des N-Kanal FET 26 sind gemeinsam mit dem ersten Ausgangsknotenpunkt N1 verbunden. Das Aktiv-Signal \emptyset wird gemeinsam an Gates der P-Kanal FETs 21, 22 angelegt. Drains der N-Kanal FETs 27, 28 werden mit dem ersten und zweiten Knotenpunkt N3, N4 verbunden, und das Aktiv-Signal \emptyset wird an Gates der FETs 27, 28 angelegt. Source-Elektroden der N-Kanal FETs 27, 28 werden mit Drains der FETs 29, 30 verbunden, und Source-Elektroden der FETs 29, 30 werden jeweils mit dem Erdpotential V_{ss} als dem zweiten Potential verbunden. Drains der N-Kanal FETs 33, 34 werden mit dem ersten und dem zweiten Knotenpunkt N3, N4 verbunden, und Source-Elektroden der FETs 33, 34 werden jeweils mit dem Erdpotential V_{ss} verbunden. Gates der FETs 33, 34 werden mit Ausgängen der Inverter 32, 31 verbunden. Eingänge der Inverter 32, 31 werden mit dem ersten und zweiten Ausgangsknotenpunkt N1, N2 verbunden. Die Ausgangssignale A , \bar{A} werden an die Ausgangsknotenpunkte N1, N2 angelegt. Die Eingangssignale A_{in} , V_r werden an die Gates der N-Kanal FETs 29, 30 angelegt. Eine Potentialeinstellvorrichtung umfaßt den Inverter 31, den FET 34 und den Inverter 32, den FET 33.

Ein Betrieb des Differenzverstärkers gemäß dem ersten Ausführungsbeispiel wird unter Bezugnahme auf die Signalform eines Betriebs wie in Fig. 4 gezeigt beschrieben werden.

Das Aktiv-Signal \emptyset ist zuerst auf dem "L"-Pegel ($= V_{ss}$ -Pegel), deshalb werden die FETs 21, 22 durchgesteuert. Demzufolge werden die Ausgangssignale A , \bar{A} durch die FETs 21, 22 auf das Stromversorgungspotential V_{cc} geladen.

Wenn das Aktiv-Signal \emptyset den "H"-Pegel ($= V_{cc}$ -Pegel) annimmt, werden die FETs 27, 28 durchgesteuert, so daß das Ausgangssignal \bar{A} durch die FETs 25, 27, 29 entladen wird und gleichzeitig das Ausgangssignal A durch die FETs 26, 28, 30 entladen wird. Angenommen, daß das Eingangssignal A_{in} 0,8 V und das Eingangssignal V_r 1,5 V beträgt, ist der Leitwert des FET 30 mit dem Gate, an das das Eingangssignal V_r angelegt ist, größer als der Leitwert des FET 29 mit dem

Gate, an das das Eingangssignal A_{in} angelegt ist. Demzufolge wird das Ausgangssignal A schneller entladen als das Ausgangssignal \bar{A} , so daß das Potential des Ausgangssignals A niedriger ist als das des Ausgangssignals \bar{A} . Da die Potentialdifferenz zwischen den Ausgangssignalen A, \bar{A} erzeugt wird, wird die Leitwertdifferenz zwischen den FETs 25, 26 erzeugt. Wenn das Potential des Ausgangssignals A niedriger ist als $V_{CC} - V_{tp}$, wird der FET 23 durchgesteuert, so daß das Ausgangssignal \bar{A} anfängt, das Stromversorgungspotential V_{CC} durch den FET 23 aufzuladen, wobei die Potentialdifferenz der Ausgangssignale A, \bar{A} weiter vergrößert wird.

Wenn das Potential des Ausgangssignals A so reduziert wird, daß es niedriger ist als die Schwellenspannung des Inverters 31, nimmt ein Knotenpunkt N5 an der Ausgangsseite des Inverters 31 den "H"-Pegel an, so daß der FET 34 durchgesteuert wird und das Ausgangssignal A durch die FETs 26, 34 an das Erdpotential V_{SS} geklemmt wird. Der FET 23 wird durch die Potentialverringerung des Ausgangssignals A durchgesteuert, so daß das Ausgangssignal \bar{A} durch den FET 23 an das Stromversorgungspotential V_{CC} geklemmt wird. In diesem Stadium nimmt ein Knotenpunkt N6 an der Ausgangsseite des Inverters 32 den "L"-Pegel an, deshalb wird der FET 33 nicht durchgesteuert. Nachdem die Ausgangssignale A, \bar{A} geklemmt worden sind, werden die Ausgangssignale A, \bar{A} ungeachtet der Änderungen der Potentiale auf den Potentialen V_{SS} -Pegel und V_{CC} -Pegel gehalten.

Danach, wenn das Aktiv-Signal \emptyset den "L"-Pegel annimmt, kehrt der Betrieb des Differenzverstärkers zum Ausgangszustand zurück. Wenn z.B. 2,4 V ($> V_r$) als das Eingangssignal A_{in} angelegt werden, nimmt das Ausgangssignal A den "H"-Pegel an ($=V_{CC}$ -Pegel) und das Ausgangssignal \bar{A} nimmt den "L"-Pegel an ($=V_{SS}$ -Pegel), wie oben dargelegt wurde.

Es ist vorzuziehen, die Schwellenspannungen der Inverter 31, 32 so festzulegen, daß sie im wesentlichen einen mittleren Wert zwischen dem ersten Potential (V_{CC}) und dem zweiten Potential betragen. Der Grund dafür ist, daß falls die Schwellenspannungen der Inverter 31, 32 nahe am ersten Potential (V_{CC}) sind,

die große Wahrscheinlichkeit besteht, daß das Ausgangssignal durch fehlerhaften Betrieb geklemmt wird und falls die Schwellenspannungen nahe am zweiten Potential (V_{ss}) sind, dauert es lange, das Ausgangssignal zu klemmen.

Das erste Ausführungsbeispiel hat den folgenden Vorteil.

Da die Latch-Steuerung durch die inversen Signale der Ausgangssignale A , \bar{A} , die durch die Inverter 31, 32 geliefert werden, bewirkt wird, wird kein externes Latch-Signal benötigt und der Differenzverstärker wird nur durch das Aktiv-Signal \emptyset betriebsbereit. Daher eliminiert er eine Zeitsteuerung des Steuersignals, das den "H"-Pegel nach Ablauf einer vorherbestimmten Zeit annimmt, nachdem das Aktiv-Signal \emptyset den "H"-Pegel annimmt, so daß der fehlerhafte Betrieb verhindert wird und die Differenzverstärkung mit hoher Geschwindigkeit erreicht wird.

Ein zweites Ausführungsbeispiel der vorliegenden Erfindung wird unter Bezugnahme auf Fig. 5 und 6 beschrieben werden. Fig. 5 ist ein Schaltplan, der einen Differenzverstärker des zweiten Ausführungsbeispiels der vorliegenden Erfindung zeigt, in dem die Bestandteile, die die selben sind wie in Fig. 1, mit den gleichen Ziffern bezeichnet sind und deren Erklärung deshalb weggelassen wird. Im Differenzverstärker wird anstelle des Erdpotentials V_{ss} ein inverses Aktiv-Signal $\bar{\emptyset}$ verwendet, während das zweite Potential in dem ersten Ausführungsbeispiel und die FETs 27, 28 weggelassen werden. Weiterhin werden bei den Invertern 31, 32 bzw. den FETs 33, 34, die jeweils die Potentialeinstellvorrichtung darstellen, die N-Kanal FETs 43, 44 anstelle der FETs 33, 34 parallel zu den FETs 29, 30 geschaltet.

Ein Betrieb des Differenzverstärkers gemäß dem zweiten Ausführungsbeispiel wird unter Bezugnahme auf eine Signalform eines Betriebs wie in Fig. 6 dargestellt beschrieben.

Wenn das Aktiv-Signal \emptyset vom "L"-Pegel auf den "H"-Pegel übergeht, geht das inverse Aktiv-Signal $\overline{\emptyset}$ vom "H"-Pegel auf den "L"-Pegel über, so daß das Ausgangssignal A durch die FETs 26, 30 entladen wird und gleichzeitig das Ausgangssignal \overline{A} durch die FETs 25, 29 entladen wird. Angenommen, daß das Eingangssignal A_{in} 0,8 V und das Eingangssignal V_i 1,5 V beträgt, genauso wie in dem ersten Ausführungsbeispiel, ist der Leitwert des FET 30 größer als der des FET 29, so daß das Ausgangssignal A schneller entladen wird als das Ausgangssignal \overline{A} , wobei das Potential des Ausgangssignals A niedriger ist als das des Ausgangssignals \overline{A} . Da die Potentialdifferenz zwischen den Ausgangssignalen A, \overline{A} entsteht, entsteht die Leitwertdifferenz zwischen den FETs 25, 26, daher erhöht sich die Entladungsgeschwindigkeit zwischen den Ausgangssignalen A, \overline{A} . Wenn das Potential des Ausgangssignals A niedriger ist als $V_{CC}-V_{tp}$, wird der FET 23 durchgesteuert und das Ausgangssignal \overline{A} beginnt sich aufzuladen, so daß die Potentialdifferenz zwischen den Ausgangssignalen A, \overline{A} weiter erhöht wird. Wenn das Potential des Ausgangssignals A auf einen Wert niedriger als die Schwellenspannung des Inverters 31 reduziert wird, nimmt dessen Ausgang den "H"-Pegel durch den Inverter 31 an, um dabei den FET 44 durchzusteuern. Demgemäß wird das Ausgangssignal A an den "L"-Pegel geklemmt und das Ausgangssignal \overline{A} wird an das Erdpotential V_{CC} geklemmt.

Obwohl das Aktiv-Signal \emptyset und das inverse Aktiv-Signal $\overline{\emptyset}$ als zwei Steuersignale benötigt werden, kann die Zeitsteuerung gemäß dem oben beschriebenen zweiten Ausführungsbeispiel in den Signalen mit inverser Beziehung leicht durchgeführt werden (kann z.B. von einem Inverter durchgeführt werden), so daß die Potentialdifferenz genauso wie in dem ersten Ausführungsbeispiel reduziert werden kann. Es besteht weiterhin der Vorteil, daß zwei FETs gemäß dem zweiten Ausführungsbeispiel, verglichen mit dem ersten Ausführungsbeispiel, reduziert werden.

Fähigkeit zur Anwendung in der Industrie

Da die Latch-Steuerung durchgeführt werden kann, wenn das Ausgangssignal gemäß der vorliegenden Erfindung niedriger ist als ein festes Potential, wie oben detailliert beschrieben, ist ein externes Latch-Signal nicht notwendig, wodurch eine genaue Zeitsteuerung zwischen dem Aktiv-Signal und dem Latch-Signal wegfällt. Demgemäß ist es möglich, die Verstärkung ohne fehlerhaften Betrieb und mit einer einfachen Steuerung bei hoher Geschwindigkeit stabil zu differenzieren.

Ansprüche

1. Differenzverstärker, der folgendes umfaßt:

einen ersten (N1), zweiten (N2), dritten (N3) und vierten (N4) Knotenpunkt;

einen ersten Transistor (24) eines ersten Leitfähigkeitstyps, der eine erste Steuerelektrode aufweist, die an den ersten Knotenpunkt (N1) gekoppelt ist, wobei der erste Transistor (24) zwischen den zweiten Knotenpunkt (N2) und einer ersten Potentialquelle (V_{cc}) geschaltet ist;

einen zweiten Transistor (23) des ersten Leitfähigkeitstyps, der eine zweite Steuerelektrode aufweist, die an den zweiten Knotenpunkt (N2) gekoppelt ist, wobei der zweite Transistor (23) zwischen der ersten Potentialquelle (V_{cc}) und dem ersten Knotenpunkt (N1) geschaltet ist;

einen dritten Transistor (25) eines zweiten Leitfähigkeitstyps, der eine dritte Steuerelektrode aufweist, die an den zweiten Knotenpunkt (N2) gekoppelt ist, wobei der dritte Transistor (25) zwischen dem ersten Knotenpunkt (N1) und dem dritten Knotenpunkt (N3) geschaltet ist;

einen vierten Transistor (26) des zweiten Leitfähigkeitstyps, der eine vierte Steuerelektrode aufweist, die an den ersten Knotenpunkt (N1) gekoppelt ist, wobei der vierte Transistor (26) zwischen dem zweiten Knotenpunkt (N2) und dem vierten Knotenpunkt (N4) geschaltet ist;

eine erste Potentialfestlegungsschaltung, die eine erste Eingangsklemme (A_{in}) aufweist und an den dritten Knotenpunkt (N3) gekoppelt ist, um ein Potential des ersten Knotenpunkts (N1) in Reaktion auf ein Signal, das an der ersten Eingangsklemme (A_{in}) angelegt ist, festzulegen;

eine zweite Potentialfestlegungsschaltung, die eine zweite Eingangsklemme (V_r) aufweist und an den vierten Knotenpunkt (N4) gekoppelt ist,

um ein Potential des zweiten Knotenpunkts (N2) in Reaktion auf ein Signal, das an der zweiten Eingangsklemme (V_i) angelegt ist, festzulegen;

einen fünften Transistor (33; 43), der eine fünfte Steuerelektrode aufweist und an eine zweite Potentialquelle ($V_{ss}, \overline{0}$) und an den dritten Knotenpunkt (N3) gekoppelt ist; und

eine Potentialermittlungsschaltung, um das Potential des ersten Knotenpunkts (N1) zu ermitteln und den fünften Transistor (33; 43) leitend zu machen, wenn das Potential des ersten Knotenpunkts (N1) kleiner ist als ein mittleres Potential zwischen dem ersten Potential (V_{cc}) und dem zweiten Potential ($V_{ss}, \overline{0}$).

2. Differenzverstärker nach Anspruch 1, bei dem der erste Transistor (24) und der zweite Transistor (23) p-Kanal FETs sind, und der dritte Transistor (25) und der vierte Transistor (26) n-Kanal FETs sind.

3. Differenzverstärker nach Anspruch 1, bei dem die erste Potentialfestlegungsschaltung einen sechsten Transistor (29) umfaßt, der eine sechste Steuerelektrode aufweist, die an die erste Eingangsklemme (A_{in}) gekoppelt ist, wobei der sechste Transistor (29) zwischen die zweite Potentialquelle ($V_{ss}, \overline{0}$) und den dritten Knotenpunkt (N3) geschaltet ist.

4. Differenzverstärker nach Anspruch 3, bei dem der sechste Transistor (29) ein n-Kanal FET ist.

5. Differenzverstärker nach Anspruch 3, bei dem die zweite Potentialfestlegungsschaltung einen siebten Transistor (30) umfaßt, der eine Steuerelektrode aufweist, die an die zweite Eingangsklemme (V_i) gekoppelt ist, und der zwischen die zweite Potentialquelle ($V_{ss}, \overline{0}$) und den vierten Knotenpunkt (N4) geschaltet ist.

6. Differenzverstärker nach Anspruch 5, bei dem der Transistor (30) der zweiten Potentialfestlegungsschaltung ein n-Kanal FET ist.

7. Differenzverstärker nach Anspruch 1, bei dem die Potentialermittlungsschaltung einen Inverter (32) umfaßt, der eine Eingangsklemme aufweist, die an den ersten Knotenpunkt (N1) gekoppelt ist, und eine Ausgangsklemme, die an die fünfte Steuerelektrode gekoppelt ist.

8. Differenzverstärker nach Anspruch 5, der weiterhin umfaßt:
einen achten Transistor (27), der zwischen den dritten Knotenpunkt (N3) und den sechsten Transistor (29) geschaltet ist, und der eine Steuerelektrode aufweist, an die ein Aktiv-Signal (\emptyset) angelegt ist; und
einen neunten Transistor (28), der zwischen den vierten Knotenpunkt (N4) und den siebten Transistor (30) geschaltet ist, und der eine Steuerelektrode aufweist, an die das Aktiv-Signal (\emptyset) angelegt ist.

9. Differenzverstärker nach Anspruch 8, bei dem der achte (27) und neunte (28) Transistor n-Kanal FETs sind.

10. Differenzverstärker nach Anspruch 8, der weiterhin umfaßt:
einen zehnten Transistor (21), der zwischen die erste Potentialquelle (V_{cc}) und den ersten Knotenpunkt (N1) geschaltet ist, und der eine Steuerelektrode aufweist, an die das Aktiv-Signal (\emptyset) angelegt ist; und
einen elften Transistor (22), der zwischen die erste Potentialquelle (V_{cc}) und den zweiten Knotenpunkt (N2) geschaltet ist, und der eine Steuerelektrode aufweist, an die das Aktiv-Signal (\emptyset) angelegt ist.

11. Differenzverstärker nach Anspruch 10, bei dem der zehnte (21) und elfte (22) Transistor p-Kanal FETs sind.

12. Differenzverstärker nach Anspruch 10, der weiterhin umfaßt:
einen zwölften Transistor (34; 44), der eine Steuerelektrode aufweist und zwischen die zweite Potentialquelle (V_{ss} ; \emptyset) und den vierten Knotenpunkt (N4) geschaltet ist; und

eine weitere Potentialermittlungsschaltung, um das Potential des zweiten Knotenpunkts (N2) zu ermitteln und den zwölften Transistor (34,44) leitend zu machen, wenn das Potential des zweiten Knotenpunkts (N2) kleiner ist als mittlere Potential des ersten Potentials (V_{cc}) und des zweiten Potentials ($V_{ss}, \overline{0}$).

13. Differenzverstärker nach Anspruch 12, bei dem die weitere Potentialermittlungsschaltung einen Inverter (31) umfaßt, der eine Eingangsklemme aufweist, die an den zweiten Knoten gekoppelt ist, und eine Ausgangsklemme, die an die Steuerelektrode des zwölften Transistors (34; 44) gekoppelt ist.

14. Differenzverstärker nach Anspruch 1 für eine integrierte Schaltung, dadurch gekennzeichnet, daß der erste (24) und zweite (23) Transistor kreuzgekoppelte p-Kanal Transistoren sind und daß der dritte (25) und vierte (26) Transistor kreuzgekoppelte n-Kanal Transistoren sind, von denen jeder einen jeweiligen Pfad mit regelbarer Leitfähigkeit und eine Steuerelektrode aufweist und Teil eines Flip-Flop (20) ist, wobei der erste und zweite Knotenpunkt innerhalb des Flip-Flops Ausgabesignale vom Differenzverstärker liefern.

15. Verstärker nach Anspruch 14, bei dem die Potentialermittlungsschaltung folgendes einschließt:

einen Inverter (32), der eine Eingangsklemme aufweist, die an den ersten Knotenpunkt gekoppelt ist, und

eine Ausgangsklemme, die an die fünfte Steuerelektrode gekoppelt ist.

16. Verstärker nach Anspruch 14, der weiterhin eine zweite Spannungsermittlungsschaltung umfaßt, die an den zweiten Knotenpunkt (N2) gekoppelt ist.

17. Verstärker nach Anspruch 14, der weiterhin einschließt:

einen dritten (21) und vierten (22) p-Kanal Transistor, wobei der dritte p-Kanal Transistor (21) zwischen die erste Potentialquelle (V_{cc}) und den ersten

Knotenpunkt (N1) geschaltet ist, und der vierte p-Kanal Transistor (22) zwischen die erste Potentialquelle und den zweiten Knotenpunkt (N2) geschaltet ist;

eine Eingangsklemme, die zur Aufnahme eines Aktiv-Steuersignals (\emptyset) geschaltet ist, wobei die Eingangsklemme das Steuersignal an Steuerelektroden des dritten (21) und vierten (22) p-Kanal-Transistors koppelt.

18. Verstärker nach Anspruch 14, bei dem die erste Potentialermittlungsschaltung einen dritten n-Kanal Transistor (29) umfaßt, der eine Steuerelektrode aufweist, die an die erste Eingangsklemme (A_{in}) gekoppelt ist, an die das erste Eingabesignal angelegt ist, und bei dem die zweite Potentialermittlungsschaltung einen vierten n-Kanal Transistor (30) umfaßt, der eine Steuerelektrode aufweist, die an die zweite Eingangsklemme (V_i) gekoppelt ist, an die das zweite Eingabesignal angelegt ist.

19. Verstärker nach Anspruch 18, der weiterhin umfaßt:

einen fünften n-Kanal Transistor (27), der zwischen den dritten Knotenpunkt (N3) und die erste Potentialermittlungsschaltung geschaltet ist, und der eine Steuerelektrode aufweist, an die ein Aktiv-Signal (\emptyset) angelegt ist; und

einen sechsten n-Kanal Transistor (28), der zwischen den vierten Knotenpunkt (N4) und die zweite Potentialermittlungsschaltung gekoppelt ist, und der eine Steuerelektrode aufweist, an die das Aktiv-Signal (\emptyset) angelegt ist.

20. Differenzverstärker nach Anspruch 1, dadurch gekennzeichnet, daß die Transistoren (23, 24, 25, 26) und zwei der Knotenpunkte (N1, N2) Teil eines Flip-Flops (20) sind;

zwei Ausgangsklemmen (\bar{A} , A) jeweils an die Knotenpunkte (N1, N2) gekoppelt sind;

und daß eine Pull-down-Schaltung reagierend zwischen die Potentialermittlungsschaltung und das Flip-Flop (20) geschaltet ist.

21. Verstärker nach Anspruch 20, der weiterhin einschließt:

eine Precharge-Schaltung, die ein Pull-up-Transistorenpaar aufweist und konfiguriert ist, ein Spannungspotential an den Knotenpunkten (N1, N2) in Reaktion auf ein Steuersignal aufzubauen.

22. Differenzverstärker nach Anspruch 12 für eine integrierte Schaltung, bei der die Potentialermittlungsschaltung einen Inverter (32) umfaßt, der eine Eingangsklemme aufweist, die an den ersten Knotenpunkt (N1) gekoppelt ist, und eine Ausgangsklemme, die an die fünfte Steuerelektrode gekoppelt ist.

23. Differenzverstärker nach Anspruch 22, bei dem die zweite Potentialermittlungsschaltung einen Inverter (31) umfaßt, der eine Eingangsklemme aufweist, die an den zweiten Knotenpunkt (N2) gekoppelt ist, und eine Ausgangsklemme, die an die Steuerelektrode des zwölften Transistors (34; 44) gekoppelt ist.

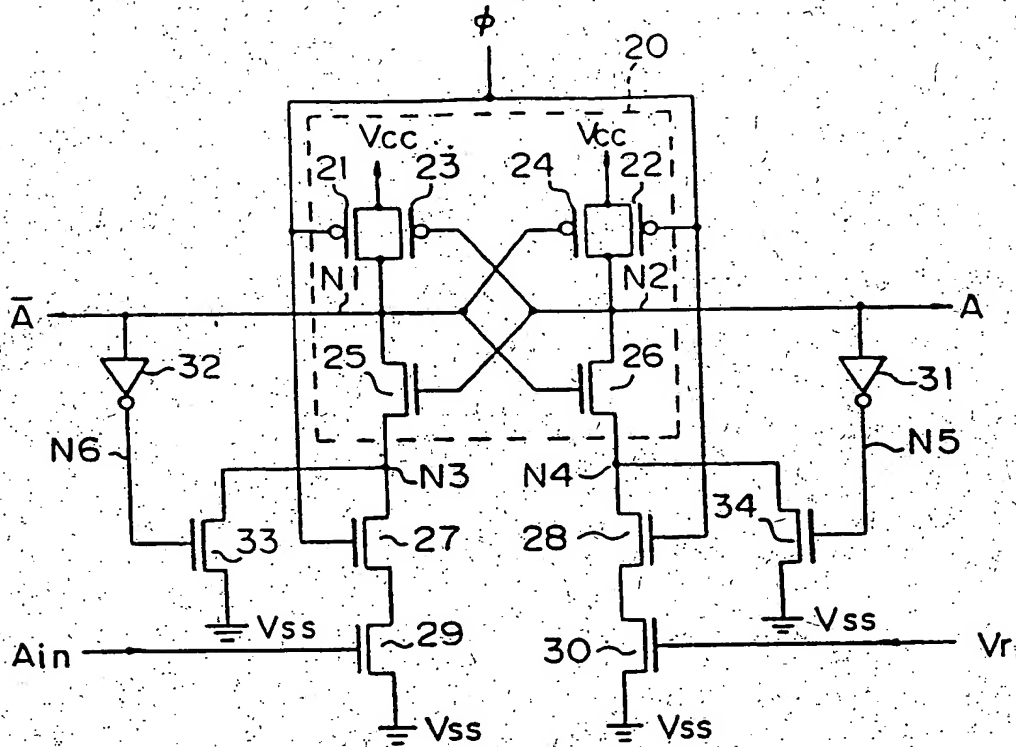
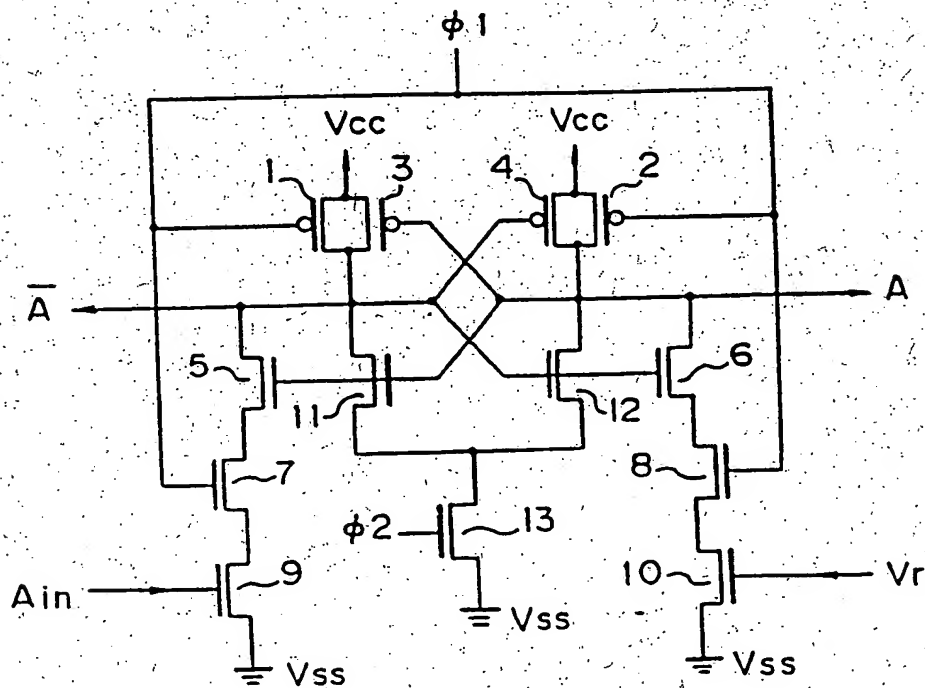
$\frac{1}{3}$
 Fig. 1


Fig. 2



2/3

Fig. 3

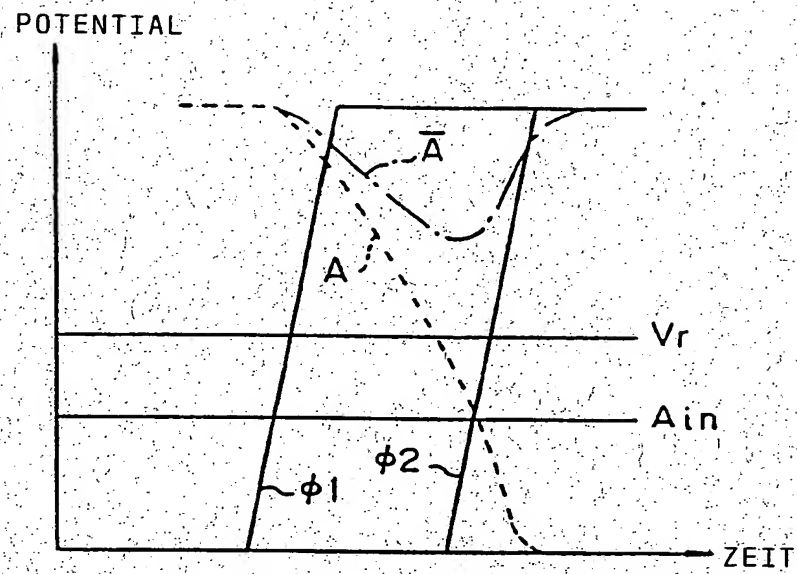
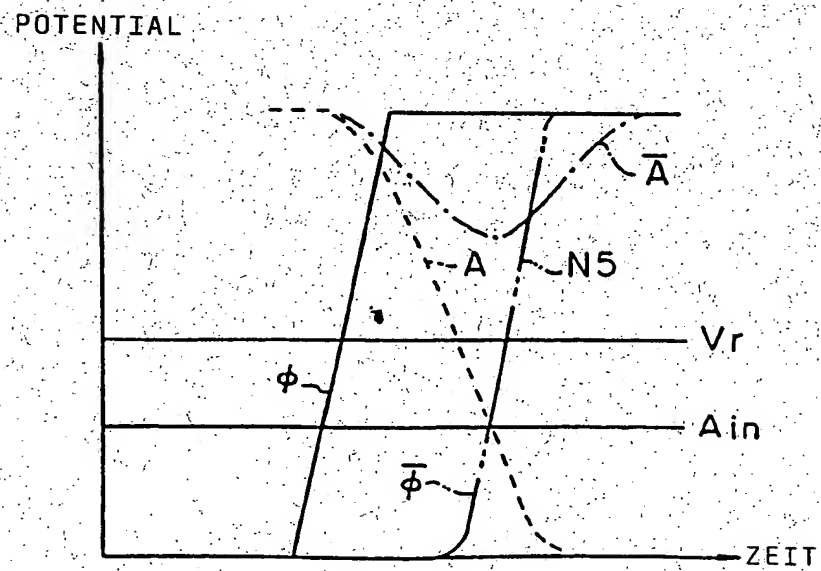


Fig. 4



3/3

Fig. 5

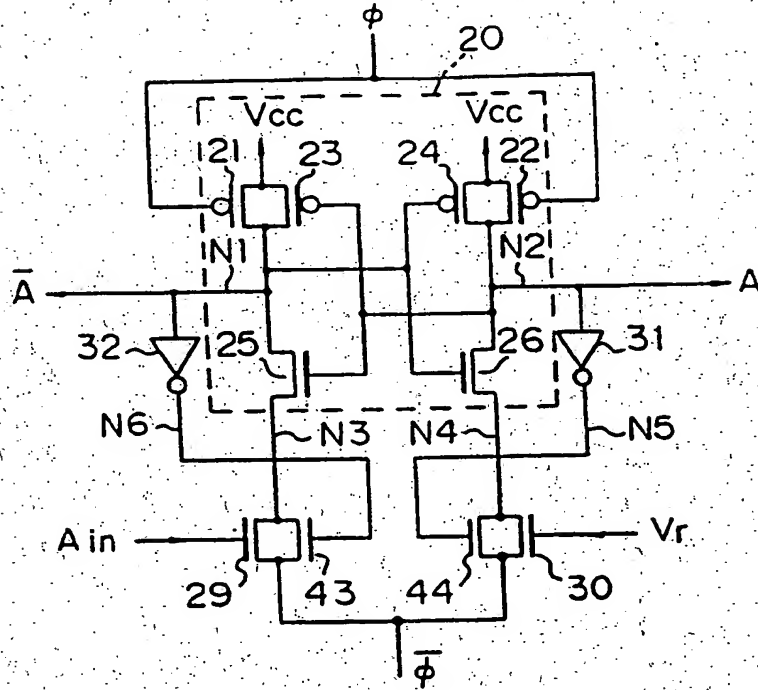


Fig. 6

